Trabajo Práctico Número 8

Arquitectura de Computadoras

Esp. Ing. Esteban Volentini (evolentini@herrera.unt.edu.ar)
Ing. Lucas Castillo (lecastillodelacroix@herrera.unt.edu.ar)

http://www.microprocesadores.unt.edu.ar/arqcom/

¿De qué se trataba este TP?

- Memoria Caché:
  - Políticas de escritura: write-back y write-through
  - Métricas de performance: tasa de fallos y AMAT
- Memoria Virtual:
  - Direcciones reales y virtuales: Páginas y Marcos
  - Traducción de direcciones virtuales a reales
  - Tablas de paginas y TLB
- Jerarquías de memoria multinivel

Resumen del problema

- Ejercicio del Segundo Parcial en 2017.
- Procesador segmentado:
  - Acceso de memoria etapa más lenta
- Caché L1
  - Instrucciones y datos separados
  - Asociativo de 2 vías, LRU.
  - 16 KiB con bloques de 64 bytes.
  - Tiempo de acierto 500 ps.
  - Tasa de fallos 1 % instrucciones y 4 % datos

Resumen del problema

- TLB
  - Asociativo puro de 40 entradas.
  - Tiempo de acierto 200 ps.
  - Tasa de fallos 0,5 %.
  - Penalidad por fallo 20 ns.
- Caché L2
  - Unificado, 1 MiB con bloques de 64 bytes.
  - Asociativo de 16 vías, LRU.
  - Tiempo de acierto 7 ns.
  - Tasa de fallos 50 %.
  - Escritura WriteBack, probabilidad del 15 %

Resumen del problema

- Memoria principal
  - Direcciones virtuales de 48 bits
  - Direcciones reales de 40 bits
  - Páginas de 4 KiB
  - 80 ns para transferir un bloque
  - No hay fallos de páginas
- Programa de prueba:
  - 2 millones de instrucciones
  - 2,3 ciclos por instrucción
  - 1,3 accesos a memoria por instrucción

Planteo de la solución

a) ¿Cuántos bits tiene el campo índice del caché L1 de instrucciones?

- Tamaño del caché y cantidad de vías.
- Cantidad de bytes en el bloque.

La solución en números

- Cachés de 16 KiB con 2 vías
- 8 KiB por cada vía con bloques de 64 bytes
- 128 conjuntos por vía
- 7 bits para direccionar el conjunto
- Campo índice de 7 bits

Planteo de la solución

b) ¿Cuál será la frecuencia de trabajo del procesador?

- Determinar el tiempo de hit
- ¿La TLB opera en paralelo con L1?
- Bits para direccionar el dato en caché
- Bits para despazamiento en la página virtual
- Bits dir. caché menor o igual bits despl. pág.

La solución en números

- Bloques de 64 bytes
- 6 bits para direccionar el byte en el bloque
- 7 bits para direccionar el conjunto
- 13 bits para ubicar el byte en el caché L1
- Páginas de 4 KiB
- 12 bits para desplazamiento de página

La solución en números

- TLB traduce antes del acceso a L1
- $T_{CPU} = T_{TLB} + T_{L1} = 200\,ps + 500\,ps = 700\,ps$
- $F_{CPU} = \frac{1}{T_{CPU}} = \frac{1}{700ps} = 1,43\,GHz$

Planteo de la solución

c) Calcule el tiempo de ejecución del programa considerando la jerarquía de memoria.

- Se calculan los tiempos medio de acceso
- Se comienza por los niveles más alejados

La solución en números

- $AMAT_{DRAM} = 80ns$
- $P_{L2} = (1 + 0,15) * AMAT_{DRAM}$
  $P_{L2} = 1,15 * 80\ ns = 92\ ns$
- $AMAT_{L2} = T_{H_{L2}} + t_{f_{L2}} * P_{L2}$
  $AMAT_{L2} = 7ns + 0,5 * 92ns = 53ns$
- $Paradas = Ref_{mem} * t_f * P$
  $P_{L1_{Int}} = 1 * 0,01 * 53 = 530\ ps$
  $P_{L1_{Dat}} = 0,3 * 0,04 * 53 = 636\ ps$
  $P_{TLB} = 1,3 * 0,005 * 20 = 130\ ps$

La solución en números

- $P_{CPU} = P_{L1_{Int}} + P_{L1_{Dat}} + P_{TLB}$
  $P_{CPU} = 530\ ps + 636\ ps + 130\ ps = 1296\ ps$

- $CPI_{Real} = CPI_{Ideal} + \frac{P_{CPU}}{T_CPU}$
  $CPI_{Real} = 2{,}3 + \frac{1296\ ps}{700\ ps} = 4,15$

- $T = C_I * CPI * T_{CPU}$
  $T = 2 \times 10^6 * 4,15 * 700 \times 10^{-12} = 5,81\ ms$

Planteo de la solución

c) Se desea mejorar la performance del apartado anterior realizando modificaciones a L1.

- Duplicar el tamaño, mantener la asociatividad, aumenta el tiempo de acierto a 520 ps y disminuye la tasa de fallos a 0,7 % para instrucciones y 2,8 % para datos.
- Mantener el tamaño, duplicar la asociatividad, aumenta el tiempo de acierto a 540 ps y disminuye la tasa de fallos a 0,9 % para instrucciones y 3,3 % para datos.
- Mantener el tamaño, disminuir la asociatividad, disminuye el tiempo de acierto a 400 ps, pero aumenta la tasa de fallos a 1,3 % para instrucciones y 4,5 % para datos.

Los números de la Opción 1

- $T_{CPU} = T_{TLB} + T_{L1} = 200\,ps + 520\,ps = 720\,ps$
- $P_{L1_{Int}} = 1 * 0,007 * 53 = 371\,ps$
  $P_{L1_{Dat}} = 0,3 * 0,0028 * 53 = 445\,ps$
  $P_{TLB} = 1,3 * 0,005 * 20 = 130\,ps$
- $P_{CPU} = 371\,ps + 445\,ps + 130\,ps = 946\,ps$
- $CPI_{Real} = 2,3 + \frac{946\,ps}{720\,ps} = 3,61$
- $T = 2 \times 10^6 * 3,61 * 720 \times 10^{-12} = 5,19\,ms$

Los números de la Opción 2

- $T_{CPU} = T_{L1} = 540\ ps = 540\ ps$
- $P_{L1_{Int}} = 1 * 0,009 * 53 = 477\ ps$
  $P_{L1_{Dat}} = 0,3 * 0,0033 * 53 = 525\ ps$
  $P_{TLB} = 1,3 * 0,005 * 20 = 130\ ps$
- $P_{CPU} = 371\ ps + 445\ ps + 130\ ps = 1132\ ps$
- $CPI_{Real} = 2,3 + \frac{1132\ ps}{540\ ps} = 4,39$
- $T = 2 \times 10^6 * 4,39 * 540 \times 10^{-12} = 4,74\ ms$

Los números de la Opción 3

- $T_{CPU} = T_{TLB} + T_{L1} = 200\ ps + 400\ ps = 600\ ps$
- $P_{L1_{Int}} = 1 * 0,013 * 53 = 689\ ps$
  $P_{L1_{Dat}} = 0,3 * 0,0045 * 53 = 716\ ps$
  $P_{TLB} = 1,3 * 0,005 * 20 = 130\ ps$
- $P_{CPU} = 371\ ps + 445\ ps + 130\ ps = 1535\ ps$
- $CPI_{Real} = 2,3 + \frac{946\ ps}{600\ ps} = 4,85$
- $T = 2 \times 10^6 * 3,61 * 600 \times 10^{-12} = 5,83\ ms$

Resumen

	Original	Op. 1	Op. 2	Op. 3
T_{CPU}	700 *ps*	720 *ps*	540 *ps*	600 *ps*
$P_{L1_{Int}}$	530 *ps*	371 *ps*	477 *ps*	689 *ps*
$P_{L1_{Dat}}$	636 *ps*	445 *ps*	525 *ps*	716 *ps*
P_{TLB}	130 *ps*	130 *ps*	130 *ps*	130 *ps*
P_{CPU}	1296 *ps*	946 *ps*	1132 *ps*	1535 *ps*
CPI_{Real}	$4,15$	$3,61$	$4,39$	$4,85$
T	$5,81$ *ms*	$5,19$ *ms*	$4,74$ *ms*	$5,83$ *ms*

Conclusiones

- Bajar el tiempo de ciclo del CPU mejora mucho la performance porque afecta al 100 % de las instrucciones.
- Los tiempos de hit del caché L1 y de la TLB son un factor muy importante en el tiempo de ciclo del CPU.
- Puede ser mejor tener un caché L1 más pequeño o más lento si eso permite a la TLB funcionar en paralelo.

Conclusiones Finales

- Problema de parcial muy similar a los ejercicios de los prácticos.
- Atacar el problema por partes y no perder ningún detalle.
- Todo puede fallar, excepto el ultimo nivel.

Conclusiones Finales

- Próxima evaluación:
  - Miércoles 24 de Junio a las 16:00
  - TPN9: Sistema Entrada/Salida - Comunicaciones - Bajo Consumo